

Priority
D. Bell
4/29/01

#4

Patent
Attorney's Docket No. 030681-276

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

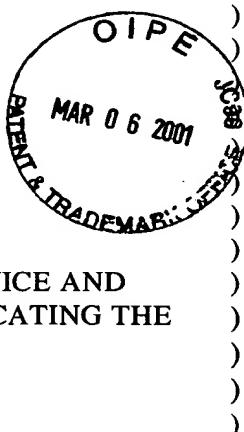
In re Patent Application of

Jun-hee CHOI, et al.

Application No.: 09/754,273

Filed: January 5, 2001

For: FIELD EMISSION DEVICE AND
METHOD FOR FABRICATING THE
SAME



Group Art Unit: 2815

Examiner: Unassigned

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Korean Patent Application No. 00-362

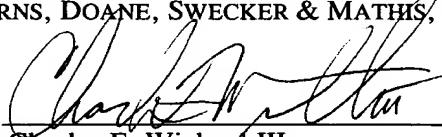
Filed: January 5, 2000

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

By:


Charles F. Wieland III
Registration No. 33,096

Date: March 5, 2001

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620



KOREAN INDUSTRIAL PROPERTY OFFICE

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial Property
Office.

Application Number: Patent Application No. 00-362

Date of Application: 5 January 2000

Applicant(s): Samsung SDI Co., Ltd.

23 November 2000

COMMISSIONER

1020000000362

2000/11/2

[Document Name] Patent Application
[Application Type] Patent
[Receiver] Commissioner
[Reference No.] 0003
[Filing Date] 2000.01.05
[Title] Field emission device and the fabrication method thereof
[Applicant]

[Name] Samsung SDI Co., Ltd.
[Applicant code] 1-1998-001805-8

[Attorney]
[Name] Young-pil Lee
[Attorney's code] 9-1998-000334-6
[General Power of Attorney Registration No.] 1999-050326-4

[Attorney]
[Name] Seuk-heum Kwon
[Attorney's code] 9-1998-000117-4
[General Power of Attorney Registration No.] 1999-050353-7

[Attorney]
[Name] Sang-yong Lee
[Attorney's code] 9-1998-000451-0
[General Power of Attorney Registration No.] 1999-050354-4

[Inventor]
[Name] CHOI, Jun Hee
[I.D. No.] 690929-1004814
[Zip Code] 442-470
[Address] 248-1901 Ssangyong Apt., Youngtong-dong
Paldal-gu, Suwon-city, Kyungki-do
[Nationality] Republic of Korea

[Inventor]
[Name] CHA, Seung Nam
[I.D. No.] 700926-1802431

1020000000362

2000/11/2

[Zip Code] 137-070
[Address] 1561-11 Seocho-dong, Seocho-gu, Seoul
[Nationality] Republic of Korea

[Inventor]

[Name] LEE, Hang Woo
[I.D. No.] 690621-1057416
[Zip Code] 442-470
[Address] 516-102 Jugong Apt., Youngtong-dong, Paldal-gu
Suwon-city, Kyungki-do
[Nationality] Republic of Korea

[Application Order]

I/We file as above according to Art. 42 of the Patent Law.

Attorney Young-pil Lee
Attorney Suk-heum Kwon
Attorney Sang-yong Lee

[Fee]

[Basic page]	18 Sheet(s)	29,000 won
[Additional page]	0 Sheet(s)	0 won
[Priority claiming fee]	0 Case(s)	0 won
[Examination fee]	0 Claim(s)	0 won
[Total]	29,000 won	

[Enclosures]

1. Abstract and Specification (and Drawings)_1 copy



대한민국 특허청
KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 362 호
Application Number

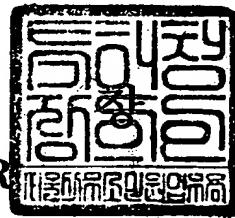
출원년월일 : 2000년 01월 05일
Date of Application

출원인 : 삼성에스디아이 주식회사
Applicant(s)

2000 년 11 월 23 일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2000.01.05
【발명의 명칭】	전계방출소자 및 그 제조방법
【발명의 영문명칭】	Field emission device and the fabrication method thereof
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	권석홍
【대리인코드】	9-1998-000117-4
【포괄위임등록번호】	1999-050353-7
【대리인】	
【성명】	이상용
【대리인코드】	9-1998-000451-0
【포괄위임등록번호】	1999-050354-4
【발명자】	
【성명의 국문표기】	최준희
【성명의 영문표기】	CHOI, Jun Hee
【주민등록번호】	690929-1004814
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 쌍용아파트 248동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	차승남
【성명의 영문표기】	CHA, Seung Nam
【주민등록번호】	700926-1802431

1020000000362

2000/11/2

【우편번호】 137-070
【주소】 서울특별시 서초구 서초동 1561-11
【국적】 KR
【발명자】
【성명의 국문표기】 이항우
【성명의 영문표기】 LEE, Hang Woo
【주민등록번호】 690621-1057416
【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 주공아파트 516동 102호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이영
필 (인) 대리인
권석홍 (인) 대리인
이상용 (인)
【수수료】
【기본출원료】 18 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

전계방출소자 및 그 제조방법에 관해 개시된다. 개시된 전계방출소자는: 기판; 상기 기판에 형성되는 캐소드 전극; 상기 캐소드 전극 상에 형성되며, 나노 스케일의 미세 구조의 표면 거칠기를 가지는 마이크로 텁; 상기 마이크로 텁이 위치하는 공간을 제공하는 웰을 구비하는 것으로 상기 캐소드 전극 위에 형성되는 게이트 절연층; 상기 게이트 절연층 상에 형성되는 것으로 상기 마이크로 텁에 대응하는 게이트를 가지는 게이트 전극;을 구비하는 전계방출소자가 제공된다. 따라서, 나노 텁의 집성체 즉, 나노 스케일의 미세 구조의 표면 거칠기를 가지는 마이크로 텁에 의한 방출전류가 높아지고 그리고, 게이트 전극에 대한 동작 전압도 감소시킬 수 있어서 소비전력을 줄일 수 있다.

【대표도】

도 2

【색인어】

전계, 방출

【명세서】**【발명의 명칭】**

전계방출소자 및 그 제조방법{Field emission device and the fabrication method thereof}

【도면의 간단한 설명】

도 1은 종래 전계방출소자의 개략적 단면도이다.

도 2는 본 발명의 전계방출소자에 따른 실시예의 개략적 단면도이다.

도 3 내지 도 5는 본 발명의 전계방출소자의 제조 공정도이다.

도 6는 본 발명의 전계방출소자의 제조방법에 의해 제조된 전계방출소자의 단면 구조를 보인 전자현미경사진이다.

도 7은 본 발명의 전계방출소자의 제조방법에 의해 제조된 전계방출소자의 마이크로 텁의 구조를 보인 전자현미경사진이다.

도 8은 종래 전계방출소자와 그 소자를 본 발명에 의해 처리한 후의 전류-게이트 전압 선도이다.

도 9는 나쁜 휘도 균일도를 가지는 종래 전계방출소자의 전면 사진이다.

도 10은 도 9에 도시된 종래 전계방출소자를 본 발명에 의해 처리한 후의 전면 사진이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 빔 전류가 높고 낮은 동작전압을 가지는 전계방출소자(Field Emission Device, FED) 및 그 제조방법에 관한 것이다.
- <10> 도 1은 종래 구조의 FED 가 적용된 FED 패널의 개략적 단면도이다.
- <11> 기판(1) 상에 Cr 등의 금속으로 된 캐소드 전극(2)이 형성되고 그 위에 비정질 실리콘(a-Si)등으로 된 저항층(3)이 형성된다. 저항층(3) 상에는 저항층(3)의 표면이 그 바닥에 노출되는 웰(4a)을 갖는 SiO₂ 등의 절연물질로 된 게이트 절연층(4)이 형성된다. 상기 웰(4a)의 바닥에는 상기 저항층(3) 상에 위치하는 Mo 등의 금속으로 된 마이크로 텁(5)이 위치한다. 한편, 상기 게이트 절연층(4)의 위에서는 상기 웰(4a)에 대응하는 게이트(6a)가 형성된 게이트 전극(6)이 형성된다. 그리고, 상기 게이트 전극(6)의 상방에는 소정거리를 유지하는 애노드 전극(7))이 위치한다. 상기 애노드 전극(7)은 상기 기판(1)과 함께 밀폐된 진공공간을 형성하는 전면판(8)의 내면에 형성된다. 그리고, 상기 전면판(8)가 기판(1)은 스페이서(미도시) 등에 의해 일정한 거리를 유지하며, 그 가장자리는 실링에 의해 밀폐되며, 칼라 디스플레인 장치의 경우 상기 애노드 전극(7) 상에 또는 이에 인접하여 형광체층(미도시)이 형성된다.
- <12> 이러한 종래 FED는 마이크로 텁으로 부터의 전자방출량이 적고, 따라서 높은 전류의 전자빔을 얻기 위해서는 높은 게이트 전압을 요구한다. 그러나, 게이트 전압을 일정한도이상으로 하면, 소자 누설전류 및 라이프 타임의 문제가 있기 때문에, 게이트 전압

을 높이는데 한계가 있다. 또한, 실험적으로 게이트 전압의 증가에 따라 아킹 빈도수가 높아짐이 관찰되었다. 내부 아킹이 발생되면, 전자가 통과하는 게이트 전극(6)의 게이트 (6a) 가장자리(edge)쪽에서 손상이 일어 나게 되는데, 애노드 전극(7)과 게이트 전극(6)의 전기적 단락(short)현상을 일으키며, 이에 따라 게이트 전극(6)에 높은 애노드 전압이 걸리게 되고, 따라서, 게이트 전극(6) 하부의 게이트 절연층(4)과 웰(4a)의 바닥에 노출된 저항층(3)에 손상을 주게 된다. 이러한 손상의 가능성은 게이트 및 애노드 전압이 증가할 수록 더욱 심하게 일어난다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명의 목적은 낮은 동작전압하에서도 높은 전류의 전자방출이 가능한 전계방출 소자와 그 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<14> 상기 목적을 달성하기 위하여, 본 발명에 따르면,

<15> 기판;

<16> 상기 기판에 형성되는 캐소드 전극;

<17> 상기 캐소드 전극 상에 형성되며, 나노 스케일의 미세 구조의 표면 거칠기를 가지는 마이크로 텁;

<18> 상기 마이크로 텁이 위치하는 공간을 제공하는 웰을 구비하는 것으로 상기 캐소드 전극 위에 형성되는 게이트 절연층;

<19> 상기 게이트 절연층 상에 형성되는 것으로 상기 마이크로 텁에 대응하는 게이트를 가지는 게이트 전극;을 구비하는 전계방출소자가 제공된다.

- <20> 상기 본 발명의 전계방출소자에 있어서, 상기 캐소드 전극의 상부 또는 캐소드 전극의 하부 또는 캐소드 전극의 상부 및 하부에 저항층이 형성되어 있는 것이 바람직하다.
- <21> 또한 상기 목적을 달성하기 위하여 본 발명에 따르면,
- <22> 기판 상에 캐소드 전극, 웰을 갖는 게이트 절연층, 게이트를 갖는 게이트 전극, 상기 웰의 바닥에 노출된 상기 캐소드 전극상에 위치하는 마이크로 텁을 형성하는 단계;
- <23> 상기 마이크로 텁을 포함한 상기 웰 내부에 카본 폴리머층을 형성하는 단계;
- <24> 상기 카본 폴리머에 대해 식각성을 가지는 O₂ 가스와 상기 마이크로 텁에 대해 식각성을 가지는 가스가 혼합된 반응성 가스를 이용하여 플라즈마 에칭법에 의해 식각을 행하여, 상기 카본 폴리머를 제거함과 아울러 상기 마이크로 텁의 표면이 나노 스케일의 표면 거칠기를 가지도록 마이크로 텁의 표면을 에칭하는 단계;를 포함하는 전계방출소자의 제조방법이 제공된다.
- <25> 상기 본 발명의 전계방출소자의 제조방법에 있어서, 상기 카본 폴리머층은 폴리아미드 또는 포토레지스트로 형성하는 것이 바람직하다.
- <26> 상기 카본 폴리머층은 반응성 이온 에칭법(RIE)에 의해 식각하며, 상기 마이크로 텁과 카본 폴리머간의 식각 속도 차이를 조절하여 상기 마이크로 텁의 표면 거칠기를 조절하도록 하며, 상기 식각속도의 조절은 플라즈마 파워, 상기 반응 가스중 마이크로 텁의 식각 가스에 대한 산소의 함량비, 플라즈마 공정압력 중의 적어도 어느 하나의 조절에 의해 이루어지도록 하는 것이 바람직하다.
- <27> 또한 상기 본 발명의 제조방법에 있어서, 상기 마이크로 텁의 재질이 몰리브데늄

(Mo), 텡스텐(W), 실리콘, 다이아몬드로 이루어지는 그룹 중 선택된 어느 하나 또는 적어도 둘의 혼합물로 이루어지는 것이 바람직하다.

<28> 상기 반응가스는 O₂ 및 플루오린(fluorine)계 가스의 혼합가스로서, 상기 반응가스는 CF₄/O₂, SF₆/O₂, CHF₃/O₂, CF₄/SF₆/O₂, CF₄/CHF₃/O₂, SF₆/CHF₃/O₂ 등 중 적어도 어느 하나를 함유하는 것이 바람직하며, 또는 상기 반응가스는 O₂ 및 클로린(chlorine) 계 가스의 혼합가스로서, Cl₂/O₂, CCl₄/O₂, Cl₂/CCl₄/O₂ 등 중 적어도 어느 하나를 함유하는 것이 바람직하다.

<29> 이하 첨부된 도면을 참조하면서 본 발명의 FED와 그 제조방법의 바람직한 실시예를 상세히 설명한다.

<30> 도 2는 본 발명의 FED의 개략적 단면도이다.

<31> 먼저 도 2를 참조하면, 기판(100) 상에 Cr 등의 금속으로 된 캐소드 전극(120)이 형성되고 그 위에 비정질 실리콘(a-Si)등으로 된 저항층(130)이 형성된다. 저항층(130) 상에는 저항층(130)의 표면이 그 바닥에 노출되는 웰(140a)을 갖는 SiO₂ 등의 절연물질로 된 게이트 절연층(140)이 형성된다. 여기에서 상기 저항층(130)은 선택적인 것으로서, 저항층(130)이 없이 상기 캐소드 전극(120)이 상기 웰(140a)을 통해 노출될 수 있고, 상기 캐소드 전극(120)의 상하부 양측에 마련될 수 있다. 상기 웰(140a)의 바닥에는 상기 저항층(130) 상에 위치하는 Mo 등의 금속으로 된 것으로 본 발명을 특징지우는 마이크로 팁(150)이 위치한다. 상기 마이크로 팁(150)은 다수의 나노 팁(nano tip)의 집성체로서, 그 표면이 나노 스케일의 표면거칠기를 가지며, 몰리브데늄(Mo), 텡스텐(W), 실리콘, 다이아몬드로 이루어지는 그룹 중 선택된 어느 하나 또는 적어도 둘의 혼합물로 형성된다. 한편, 상기 게이트 절연층(140)의 위에서는 상기 웰(140a)에 대응하는

게이트(160a)가 형성된 게이트 전극(160)이 형성된다. 그리고, 상기 상기 게이트 전극(6)의 상방에는 애노드 전극(미도시) 및 애노드 전극이 그 내면에 형성되는 것으로 상기 기판(100)과 함께 밀폐된 진공부를 형성하는 전면판(미도시)이 위치한다.

<32> 이상과 같은 구조에 따르면, 상기 마이크로 텁(150)이 나노 스케일의 표면거칠기, 즉 나노 텁의 집성체로 되어 있어서, 낮은 게이트 전압에 의해서도 다양한 전자를 방출할 수 있게 된다. 따라서, 낮은 작동전압에 의해 고밀도의 전류를 얻을 수 있으며, 전체적인 소모전력을 낮출수 있다.

<33> 이하 본 발명의 FED 제조방법의 실시예를 상세히 설명한다.

<34> 도 3에 도시된 바와 같이 일련의 공정을 따른 기존의 방법에 의해 기판(100) 상에 캐소드 전극(120), 저항층(130), 웰(140a)을 갖는 게이트 절연층(140), 게이트(160a)를 갖는 게이트 전극(160), 상기 웰(140a)의 바닥에 노출된 저항층(130)의 표면에 위치하는 마이크로 텁(150)을 순차적으로 형성한다.

<35> 도 4에 도시된 바와 같이, 상기 적층 위에 폴리아미드 또는 포토레지스트에 의한 카본 폴리머층(190)을 스피닝코팅법 등에 의해 소정 두께로 형성한다.

<36> 상기 카본 폴리머층(190)의 형성은 스피닝코팅(spin coating), 소프트 베이킹(soft baking), 경화(curing) 과정에 의해 형성되며, 그 두께는 3 내지 $150\mu\text{m}$ 범위를 유지되게 한다.

<37> 도 5에 도시된 바와 같이, 상기 카본 폴리머층(190)을 에칭한다. 이때에, 카본 폴리머층(190)의 에칭은 플라즈마 에칭(Plasma Etching) 특히 반응성 이온 에칭(RIE) 등에 통해 건식 식각하며, 플라즈마 에칭시, 플라즈마 가스는 O_2 를 주성분으로 하고 풀루오

린(fluorine)계로서 CF_4 , SF_6 , CHF_3 를 함유하는 가스, 예를 들어 CF_4/O_2 , SF_6/O_2 , CHF_3/O_2 , $\text{CF}_4/\text{SF}_6/\text{O}_2$, $\text{CF}_4/\text{CHF}_3/\text{O}_2$, $\text{SF}_6/\text{CHF}_3/\text{O}_2$ 등 중의 적어도 어느 하나를 함유하는 가스 또는 상기 반응가스는 O_2 및 클로린(chlorine) 계 가스의 혼합가스로서, Cl_2/O_2 , CCl_4/O_2 , $\text{Cl}_2/\text{CCl}_4/\text{O}_2$ 들 중 적어도 어느 하나를 함유하는 가스이다.

<38> O_2 플라즈마에 의한 건식 식각시에는 카본 폴리머, 예를 들어 폴리이미드 및 포토레지스트는 잔디구조 (grass-like structure)라고 불리는 구조를 가지면서 도 5에 도시된 바와 같이 식각된다. 잔디구조란 국부 에칭률(etch rate)이 달라서 에칭된 표면이 미세하게 거친(rough) 구조를 가진다. 또한, 플루오린계 또는 클로린계의 가스에 O_2 가스를 예 첨가하는 이유는 폴리이미드의 에칭률 증가, 카본 폴리머가 에칭됨에 따라, 마이크로 텁이 플라즈마에 노출되었을 때에 마이크로 텁의 선단부가 에칭될 수 있게 하기 위한 것이다. 여기에서 포커스 게이트 절연층 식각시, 플라즈마에 의한 마이크로 텁의 식각 속도는 플루오린계 또는 클로린계 가스에 대한 O_2 의 비율, 공정압력, 플라즈마 파워 (plasma power)등에 의해 조절된다. 이와 같이 카본 폴리머층(190)이 잔디구조로 에칭되므로 마이크로 텁의 일부 표면에는 카본 폴리머가 남고 일부는 없어지게 되어 마이크로 텁에 대한 마스크로서 작용한다.

<39> 따라서, 상기와 같은 카본 폴리머층(190)의 식각을 계속 진행하면, 카본 폴리머층(190)의 거의 제거되기 시작하면서 상기 마이크로 텁(150)의 식각이 시작되고, 최종적으로는 표면이 맷恚했던 상기 마이크로 텁(150)이 도 2에 도시된 바와 같이, 다수의 나노 텁의 집성체, 즉 그 표면이 나노 스케일의 거칠기를 가지는 구조로 바뀌게 된다.

<40> 도 6은 상기와 같은 공정을 거친 것으로 기판에 형성된 나노 스케일의 표면 거칠기

를 가지는 마이크로 텁과 게이트 절연층, 게이트 전극의 구조를 보이는 전자현미경 사진 이이며, 도 7은 나노 스케일의 표면 거칠기를 가지는 마이크로 텁의 전자현미경에 의한 확대사진이다.

<41> 상기와 같은 과정을 통해 제작된 FED를 테스터한 결과, 동일한 구조의 종래의 FED에 비하여, 게이트 구동 전압(gate turn on voltage)이 약 20V 정도 감소하였고, 동작 전압(working voltage, duty ratio: 1/90, frequency : 60Hz에서 0.3mA emission current 값을 얻을 수 있는 전압을 의미함.)이 약 40~50V 감소하였다.

<42> 위에서 설명된 바와 같이 플라즈마 조건에 따라서, 마이크로 텁과 카본 폴리머층의 식각비율 또는 식각속도를 적절히 조절함으로써 마이크로 텁의 높이, 마이크로 텁의 나노 스케일의 표면 거칠기를 조절할 수 있다. 상기 식각속도의 조절은 플라즈마 파워, 상기 반응 가스중 마이크로 텁의 식각 가스에 대한 산소의 함량비, 플라즈마 공정압력 중의 적어도 어느 하나의 조절에 의해 이루어지도록 한다.

<43> 도 8 은 종래의 전계방출소자(Before treatment)와 그 소자를 상기와 같은 본 발명의 제조공정에 의한 처리 후의 전류-전압 특성선도이다. 도 8에 도시된 바와 같이, 본 발명의 전계방출소자는 종래 전계방출소자에 비해 동일전압하에서 최대 10배이상의 전류를 나타냄을 알 수 있다.

<44> 도 9와 도 10은 특히 휙도 균일도가 나쁜 종래 전계방출소자와 그 소자를 본 발명의 제조공정에 의한 처리후의 휙도균일도를 디지털 카메라로 촬영한 사진이다.

<45> 도 9와 도 10을 비교해서 알수 있듯이 휙도 균일도가 매우 불량하던 종래의 전계

방출소자도 본 발명의 제조공정에 의한 처리후 휘도균일도가 매우 좋아져 양질의 특성을 나타낼 수 있다.

【발명의 효과】

<46> 이상과 같은 본 발명의 전계방출소자는 빛나는 구조의 종래 전계방출소자의 마이크로 텁과는 달리, 미세한 다수의 나노 텁의 집성체, 즉 나노 스케일의 표면 거칠기를 가지는 마이크로 텁을 구비하며, 따라서 낮은 게이트 전압하에서도 높은 전류밀도를 나타내 보이며, 결과적으로 높은 휘도를 나타내 보인다. 또한, 이와 같이 낮은 작동전압하에서 높은 휘도를 나타내므로, 작동전압을 낮춤에 의해 내부 아킹의 가능성을 극히 낮춘다.

<47> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적인 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 한해서 정해져야 할 것이다.

【특허청구범위】**【청구항 1】**

기판;

상기 기판에 형성되는 캐소드 전극;

상기 캐소드 전극 상에 형성되며, 나노 스케일의 미세 구조의 표면 거칠기를 가지는 마이크로 텁;

상기 마이크로 텁이 위치하는 공간을 제공하는 웰을 구비하는 것으로 상기 캐소드 전극 위에 형성되는 게이트 절연층;

상기 게이트 절연층 상에 형성되는 것으로 상기 마이크로 텁에 대응하는 게이트를 가지는 게이트 전극;을 구비하는 것을 특징으로 하는 전계방출소자.

【청구항 2】

제1항에 있어서,

상기 캐소드 전극의 상부 또는 캐소드 전극의 하부 또는 캐소드 전극의 상부 및 하부에 저항층이 형성되어 있는 것을 특징으로 하는 전계방출소자.

【청구항 3】

기판 상에 캐소드 전극, 웰을 갖는 게이트 절연층, 게이트를 갖는 게이트 전극, 상기 웰의 바닥에 노출된 상기 캐소드 전극상에 위치하는 마이크로 텁을 형성하는 단계;

상기 마이크로 텁을 포함한 상기 웰 내부에 카본 폴리머층을 형성하는 단계;

상기 카본 폴리머에 대해 식각성을 가지는 O₂ 가스와 상기 마이크로 텁에 대해 식각성을 가지는 가스가 혼합된 반응성 가스를 이용하여 플라즈마 에칭법에 의해 식각을

행하여, 상기 카본 폴리머를 제거함과 아울러 상기 마이크로 텁의 표면이 나노 스케일의 표면 거칠기를 가지도록 마이크로 텁의 표면을 에칭하는 단계;를 포함하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 4】

제3항에 있어서,

상기 카본 폴리머층은 폴리이미드 또는 포토레지스트로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 5】

제3항 또는 제4항에 있어서,

상기 카본 폴리머층은 반응성 이온 에칭법(RIE)에 의해 식각하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 6】

제5항에 있어서,

상기 마이크로 텁과 카본 폴리머간의 식각 속도 차이를 조절하여 상기 마이크로 텁의 표면 거칠기를 조절하는 것을 특징으로 하는 전계방출소자의 제조방법.

【청구항 7】

제6항에 있어서,

상기 식각속도의 조절은 플라즈마 파워, 상기 반응 가스중 마이크로 텁의 식각 가스에 대한 산소의 함량비, 플라즈마 공정압력 중의 적어도 어느 하나의 조절에 의해 이루어지는 것을 특징으로 하는 전계방출소자의 제조방법..

【청구항 8】

제5항에 있어서,

상기 마이크로 텁의 재질이 몰리브데늄(Mo), 텉스텐(W), 실리콘, 다이아몬드로 이루어지는 그룹 중 선택된 어느 하나 또는 적어도 둘의 혼합물로 이루어지며, 상기 반응 가스는 O_2 및 플루오린(fluorine)계 가스의 혼합가스인 것을 특징으로 하는 전계방출소자의 제조방법..

【청구항 9】

제8항에 있어서,

상기 반응가스는 CF_4/O_2 , SF_6/O_2 , CHF_3/O_2 , $CF_4/SF_6/O_2$, $CF_4/CHF_3/O_2$, $SF_6/CHF_3/O_2$ 들 중 적어도 어느 하나를 함유하는 것을 특징으로 하는 전계방출소자의 제조방법..

【청구항 10】

제5항에 있어서,

상기 마이크로 텁의 재질이 몰리브데늄(Mo), 텉스텐(W), 실리콘, 다이아몬드로 이루어지는 그룹 중 선택된 어느 하나 또는 적어도 둘의 혼합물로 이루어지며, 상기 반응 가스는 O_2 및 클로린(chlorine)계 가스의 혼합가스인 것을 특징으로 하는 전계방출소자의 제조방법.

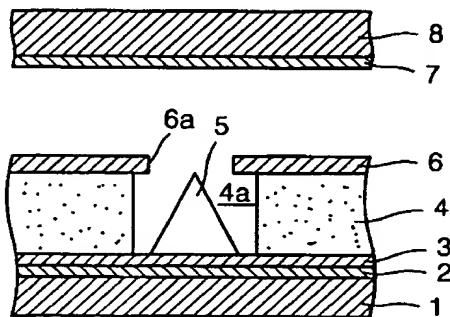
【청구항 11】

제10항에 있어서,

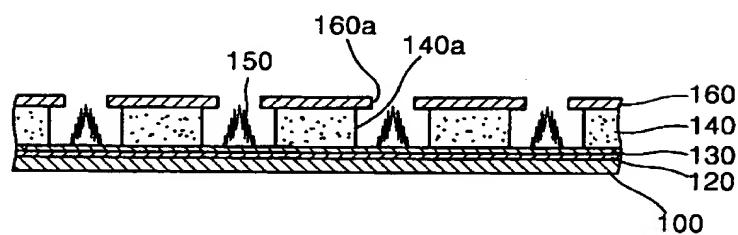
상기 반응가스는 Cl_2/O_2 , CCl_4/O_2 , $Cl_2/CCl_4/O_2$ 들 중 적어도 어느 하나를 함유하는 것을 특징으로 하는 전계방출소자의 제조방법.

【도면】

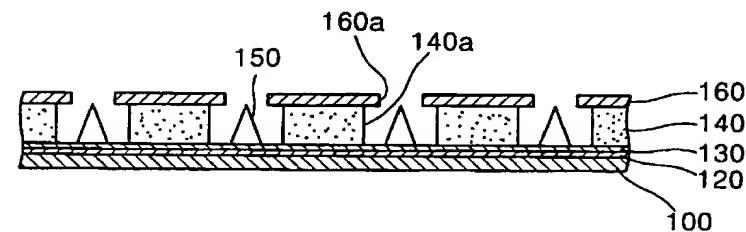
【도 1】



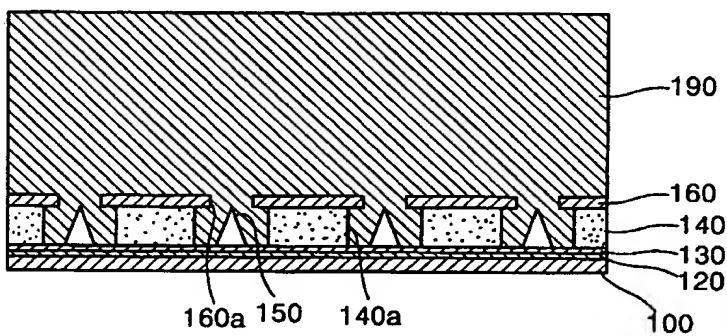
【도 2】



【도 3】



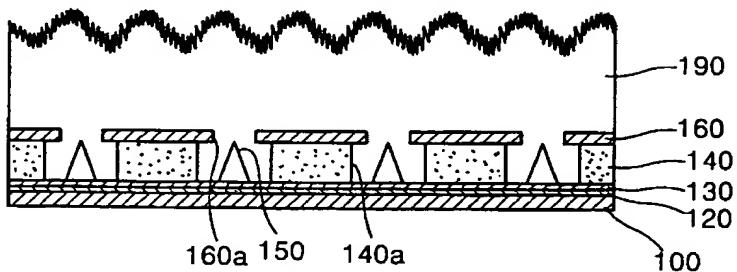
【도 4】



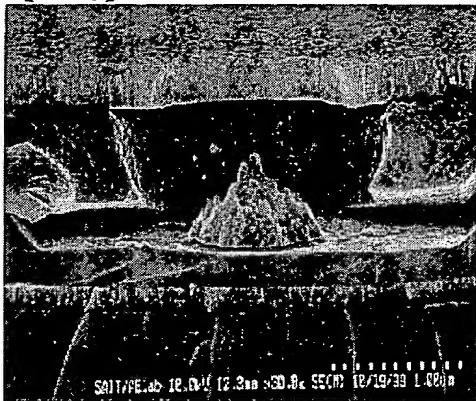
1020000000362

2000/11/2

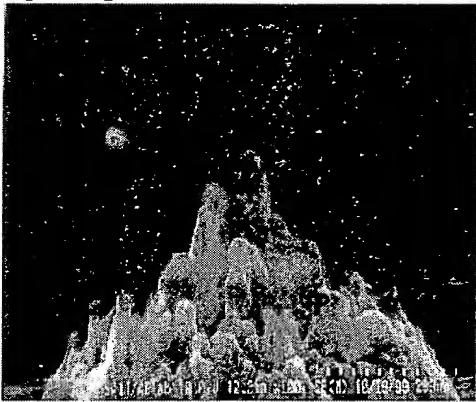
【도 5】



【도 6】



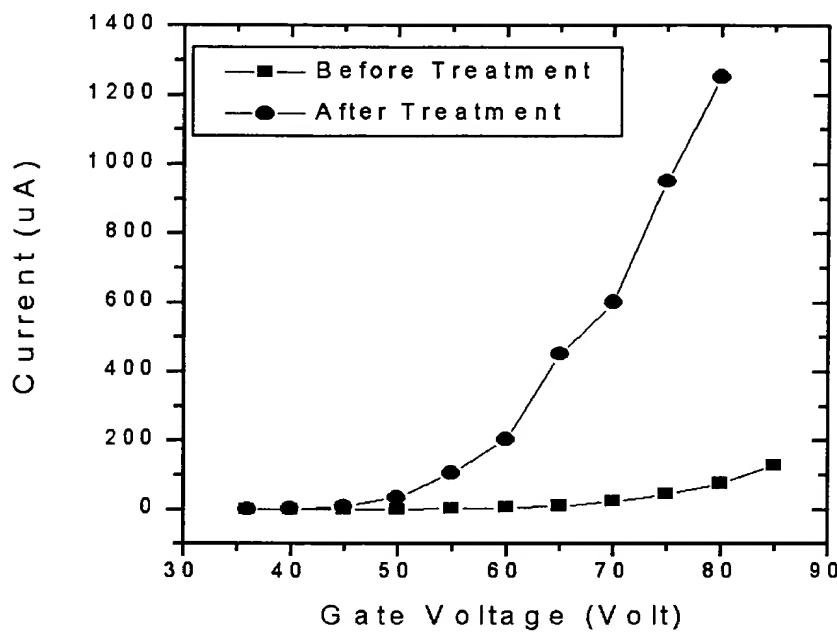
【도 7】



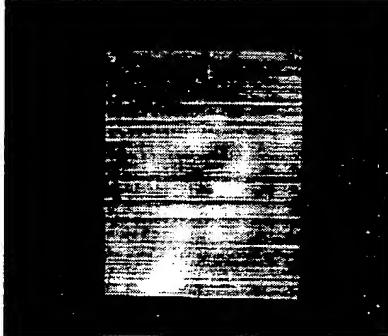
1020000000362

2000/11/2

【図 8】



【図 9】



【図 10】

